

3. Circuite Logice (Numerice)

3.1. Limitele Zgomotului

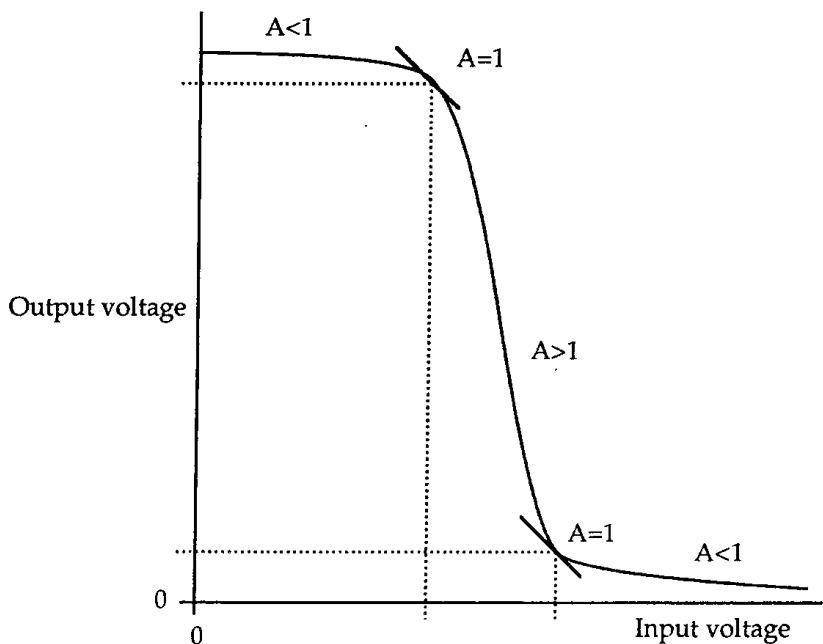
3.1.1. Limitele zgomotului in curent continuu (c.c.)

(6)

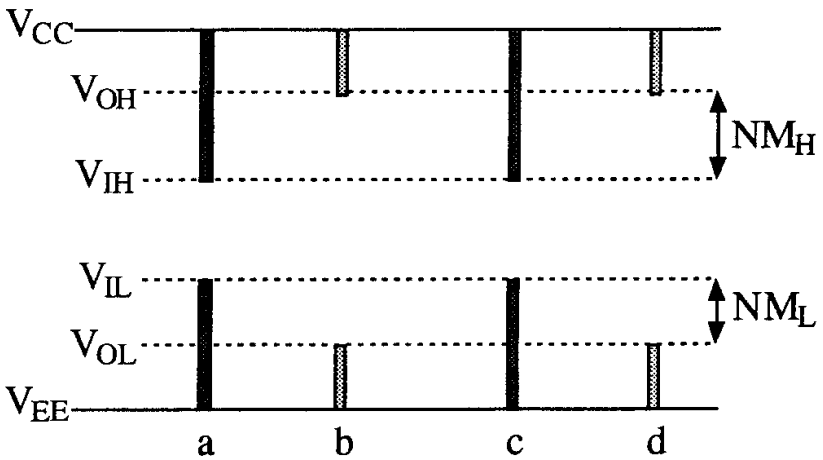
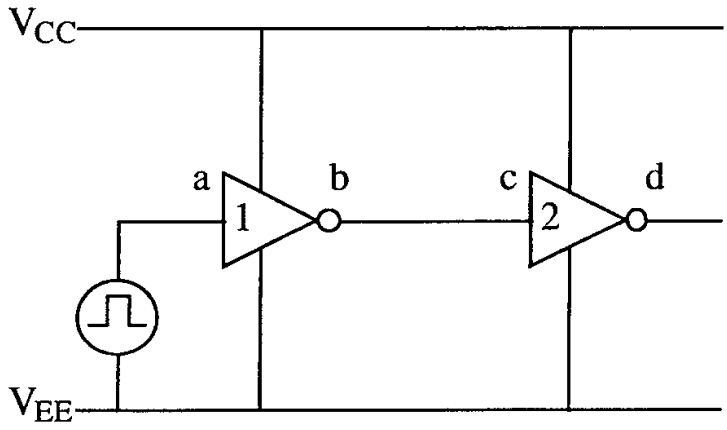
$$NM_L = V_{IL} - V_{OL}$$

(7)

$$NM_H = V_{OH} - V_{IH}$$



Functia de transfer a unui inverter logic evidentiindu-se V_{IL} , V_{IH} , V_{OL} , si V_{OH}



Limitele de zgomot pentru invertorul logic din Figura 4.2.18.a.

3.1.2. Limitele zgomotului in curent alternativ (c.a.)

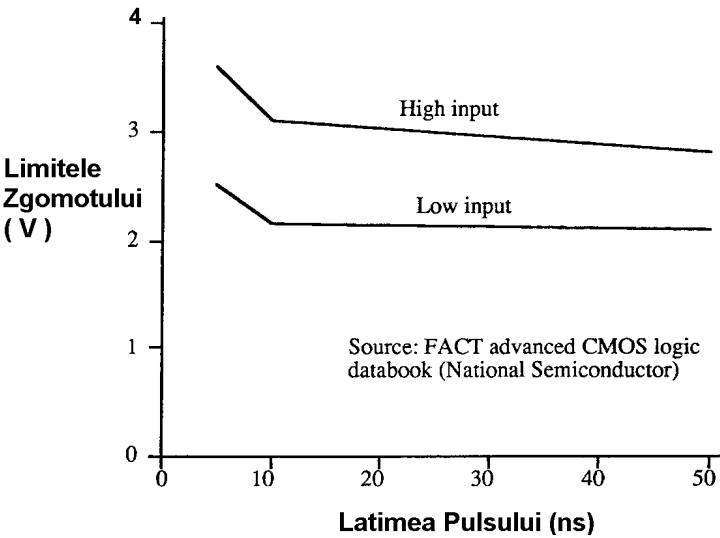


Figura 4.2.19. Limitele de zgomot in c.a. pentru seriile FACT cu poarta CMOS

3.2. Distributiile de Zgomot

Familia	Limitele de Zgomott (mV)
TTL	400
LS-TTL	300
S-TTL	300
ALS-TTL	400
FAST-TTL	300
CMOS* (seria 4000B)	1V
CMOS* (HC)	800
CMOS* (AC)	1,25 V
CMOS* (ACT)	700
ECL (10K)	100
ECL (100K)	100

* sursa de putere de 5V

Tabelul 2.1. Limitele de zgomot pentru familiile logice uzuale

Sursa de zgomot	% din total	Tensiunea (mV)
Zgomotul sursei de putere si ripple	20	80
Reducerea de tensiune pentru calea de putere & Inpamintare	20	80
Reflectarea liniei de date & reverberatii (ecou)	30	120
Inductii incrucisate	20	80
Sarcina datorata radiatiilor exterioare	10	40
Total	100	400

Tabelul 2.2. Exemplul limitelor de zgomot pentru circuitul logic TTL

3.3. Zgomotul unei Linii de Putere si Decuplarea Surselor de Putere

Familia	Numai Poarta (mA)	Sarcina tipica (mA)	Timp de Comutatie nS
TTL	16	8	10
LS-TTL	8	11	8
S-TTL	30	20	3
ALS-TTL			
FAST-TTL		11#-60	2
CMOS* (seria 4000B)	1	1#	>50#
CMOS* (HC)	1	20#	10
CMOS* (AC)	1	8#-100	<3#

Tehnici de Proiectare CIEM . CIEM pe o Placa de Circuit Imprimat (Printed Circuit Board - PCB) : Introducere
.Mecanisme de Cuplaj .

Familia	Numai Poarta (mA)	Sarcina tipica (mA)	Timp de Comutatie nS
CMOS* (ACT)	1	8#-100	<3#
ECL (10K)	0	<100	<2
ECL (100K)	0	<100	<2

* sursa de putere de 5V

50pF sarcina

Linie de transmisie de 50W

5 porti fanout

Tabelul 2.3. Curentii de comutatie pentru diferite familii logice uzuale

$$(8) \quad C = \frac{\Delta I \Delta t}{\Delta V}$$

$$(9) \quad C = \frac{10 \text{ mA } 10 \text{ ns}}{80 \text{ mV}} = 1,25 \text{ nF}$$

3.3.1. Limitele Capacitatilor de Decuplare

3.3.2. Utilizarea suprafetelor de putere si a Conexiunilor de putere de joasa impedanta

3.4. Efectele liniilor de transmisie (transport) si reverberatii (ecoul)

3.5. Sumar al caracteristicilor familiilor de circuite logice uzuale

3.5.1. Seriile CMOS 4000

3.5.2. TTL

3.5.3. Familia TTL Schottky (S, LS, ALS, F)

3.5.4. Noile familii CMOS de viteza ridicata (AC si ACT)

3.5.5. ECL

3.5.6. NMOS