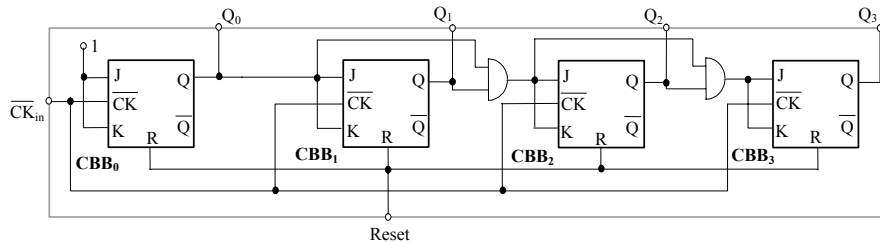


NUMĂRĂTOARE SINCRONE

Celulele binare ale unui astfel de numărător, comută simultan sub acțiunea unui impuls comun de tact. Avantajele sale sunt legate de viteza superioară de lucru și de lipsa codurilor false.

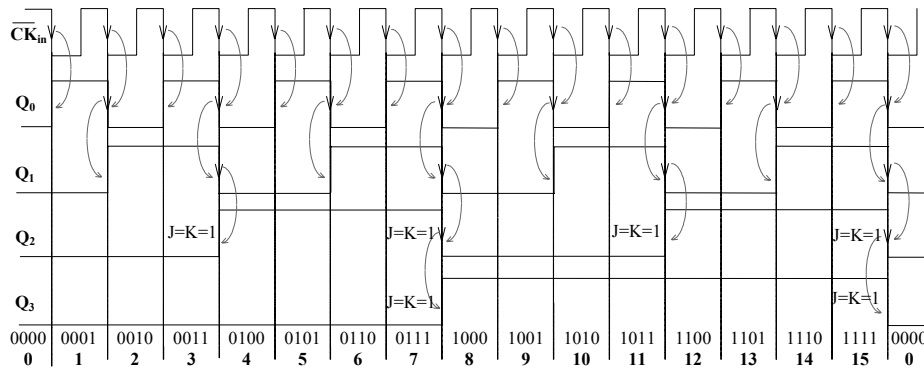
1. Numărător binar sincron tip serie

Schema logică a unui astfel de numărător, împreună cu tabelul său de adevăr este prezentată în figura următoare:



Celula CBB de tip $J-K$ basculează în starea complementară atunci când $J=K=1$ logic. Cele 2 porți “ȘI” realizează detecția momentelor de basculare. Fiecare celulă trebuie să comute atunci când la momentul anterior toate celulele precedente sunt în starea 1 logic. Astfel:

- CBB₀ trebuie să basculeze la fiecare impuls aplicat la intrare. În consecință intrările sale J și K vor fi cablate la 1 logic.
- CBB₁ basculează din 2 în 2 impulsuri de tact, adică numai atunci când Q_0 este 1 logic. În consecință vom lega $J_1=K_1=Q_0$.
- CBB₂ basculează din 4 în 4 impulsuri de tact, adică numai atunci când Q_0 și Q_1 sunt 1 logic. În consecință vom lega $J_2=K_2=Q_0Q_1$.
- CBB₃ basculează din 8 în 8 impulsuri de tact, adică numai atunci când

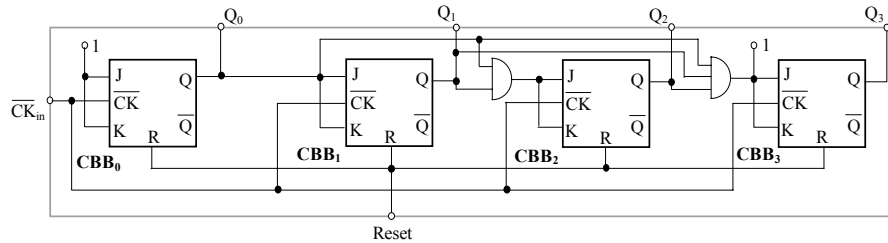


Q_0, Q_1 și Q_2 sunt 1 logic. În consecință vom lega $J_1=K_1=Q_0Q_1Q_2$.

Frecvența maximă de lucru a unui astfel de numărător este limitată numai de timpul de comutare a celulelor și de timpul de propagare prin porțile “ȘI” (în cazul de mai sus $2 \times t_p$).

2. Numărător binar sincron paralel

O creștere suplimentară a vitezei de lucru a numărătorului prezentat mai sus se poate face dacă porțile “ȘI” nu se leagă în cascadă, ci fiecare poartă este cuplată direct la ieșirile CBB (figura următoare).

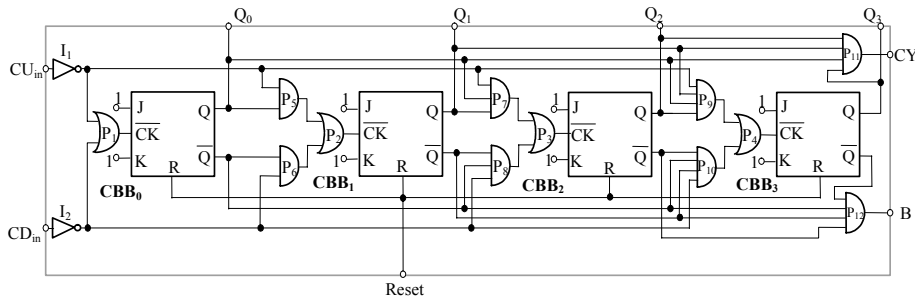


În acest caz, frecvența maximă de lucru este limitată doar de timpul de comutare al CBB și de timpul de propagare printr-o singură poartă. Este cel mai rapid tip de numărător, dar are dezavantajul că fiecare intrare de poartă încarcă ieșirile CBB. Fiecare intrare suplimentară conectată la o ieșire, mărește timpul de basculare, reducând și frecvența maximă de lucru a numărătorului.

3. Numărător sincron reversibil

Numărătoarele sincrone se fabrică în general sub formă de numărătoare reversibile. Schema logică a unui astfel de numărător este prezentată în figura următoare:

Față de variantele prezentate anterior, apare următoarea modificare: intrările J și K ale CBB sunt conectate la nivel logic 1, iar impulsul de tact este dirijat către intrările de tact ale CBB prin intermediul unor porți.

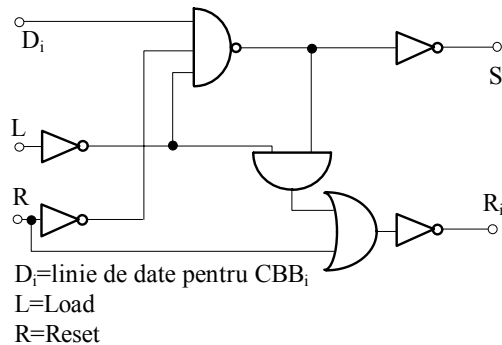


Bascularea are loc pe frontul negativ al unuia din semnalele *CU* (COUNT UP) pentru numărare directă sau *CD* (COUNT DOWN) pentru numărare inversă. Sensul de numărare este determinat de intrarea activată în timp ce cealaltă intrare este în 1 logic. Dacă ambele semnale *CU* și *CD* sunt în 1 logic, ieșirile porților *I₁* și *I₂* vor fi în 0 logic, ceea ce va determina blocarea porților *P₅...P₁₂*. Un front negativ pentru oricare din semnalele *CU* sau *CD* va determina activarea porților *P₅, P₇, P₉, P₁₁* sau respectiv *P₆, P₇, P₁₀, P₁₂*, dirijând spre CBB tranziții atunci când ieșirile conectate la porțile respective sunt în 1 logic (numărare deirectă) sau respectiv în 0 logic (numărare inversă).

Numărătorul este prevăzut cu ieșiri suplimentare:

- ieșirea *CY* (CARRY=transport): se generează un impuls pozitiv (0-1-0) atunci când numărătorul se umple ($Q_0=Q_1=Q_2=Q_3=1$). Este utilă pentru extinderea numărătoarelor pe funcția de numărare directă: aceasta se leagă la intrarea *CU* a numărătorului următor.
- ieșirea *BW* (BORROW=împrumut): se generează un impuls pozitiv (0-1-0) atunci când numărătorul se umple ($Q_0=Q_1=Q_2=Q_3=0$). Este utilă pentru extinderea numărătoarelor pe funcția de numărare inversă: aceasta se leagă la intrarea *CD* a numărătorului următor.

Pentru a oferi o flexibilitate mai mare schemei, utilizând și intrările asincrone *S* și *R* ale celulelor de numărare, se poate realiza un numărător cu posibilitate de încărcare paralelă (presetare). Suplimentar se mai prevăd 5 intrări: una pentru comanda încărcării: *L* (LOAD) sau *PE* (PRESET ENABLE) și 4 intrări de date *D₀, D₁, D₂, D₃* pentru fiecare celulă. Configurația se complică, pentru fiecare celulă, cu circuitul prezentat mai jos:



Utilizând încărcarea paralelă putem realiza numărătoare modulo *p* directe sau inverse:

LUCRAREA nr. 11

- numărare directă: se va lega ieșirea CY la intrarea L . Intrările D_i se vor lega la 0 logic;
- numărare inversă: se leagă ieșirea BW la L . Intrările D_i se utilizează pentru a încărca numărătorul cu numărul p .

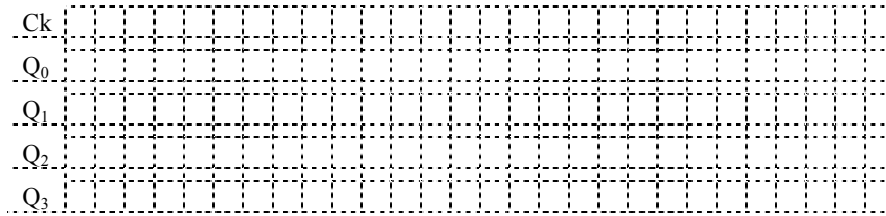
4. Lucrări de efectuat în laborator

Se completează fișa de laborator disponibilă la adresa:

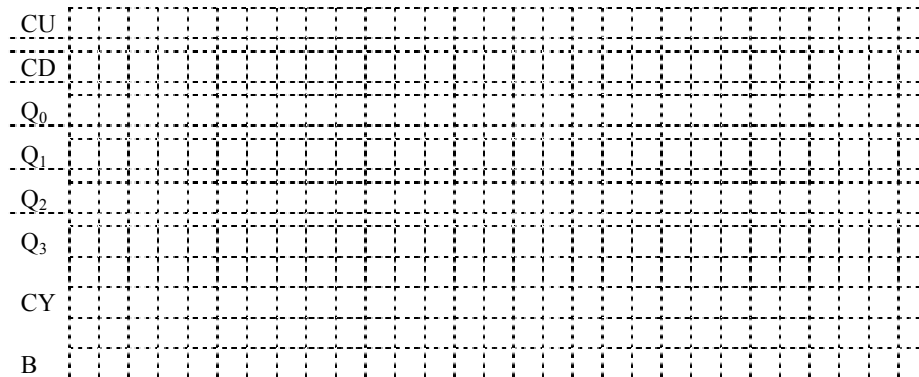
http://www.ee.tuiasi.ro/~demm/Digital_Circuits/FișaLab11.DOC

FIȘA LABORATOR

1. Se introduce schema număratorului binar sincron serie în MaxPlus II și se simulează circuitul. Formele de undă rezultate se copiează mai jos. Se notează timpii de întârziere și valorile logice pe formele de undă. Se compară rezultatele cu tabelul de adevăr. Cum sunt tranzițiile semnalelor de ieșire Q_0, Q_1, Q_2, Q_3 ca dispunere temporală?



2. Se introduce schema număratorului sincron reversibil. Se simulează pentru un ciclu complet de numărare înainte și un ciclu complet de numărare înapoi și se notează formele de undă, stările logice și întârzierile.



3. Se sintetizează un numărator sincron BCD folosind metoda diagramelor VK.

Schema logică:

Sinteza:

N _z	t _n				t _{n+1}				J ₃	K ₃	J ₂	K ₂	J ₁	K ₁	J ₀	K ₀
	Q ₃	Q ₂	Q ₁	Q ₀	Q ₃	Q ₂	Q ₁	Q ₀								
0	0	0	0	0												
1	0	0	0	1												
2	0	0	1	0												
3	0	0	1	1												
4	0	1	0	0												
5	0	1	0	1												
6	0	1	1	0												
7	0	1	1	1												
8	1	0	0	0												
9	1	0	0	1												

Diagramele VK:

Q ₃ Q ₂ / Q ₁ Q ₀	J ₃				K ₃				J ₂				K ₂			
	00	01	11	10	00	01	11	10	00	01	11	10	00	01	11	10
00																
01																
11																
10																
00																
01																
11																
10																

J₁
K₁
J₀
K₀

- J₀= K₀=
- J₁= K₁=
- J₂= K₂=
- J₃= K₃=

4. Se introduce schema număratorului asincron reversibil în MaxPlusII și se simulează. Se notează formele de undă, întârzierile între fiecare intrare și ieșiri și stările logice pe formele de undă.

Ck																
Sens																
Q ₀																
Q ₁																
Q ₂																
Q ₃																

