

DECODIFICATOARE I

Decodificatoarele sunt circuite logice combinaționale ce activează una sau mai multe ieșiri, funcție de cuvântul de cod aplicat la intrare. Printre aplicațiile acestor circuite pot fi amintite: adresarea memoriilor, afișarea numerică, multiplexarea datelor, etc.

1. Decodificator de adresă cu intrări de validare

Acest tip de decodificator este utilizat la adresarea memoriilor în sistemele cu microprocesor. Circuitul activează o singură linie de ieșire corespunzătoare codului de intrare. Activarea se face doar în cazul în care intrările de validare sunt activate (circuitul este selectat).

Un astfel de circuit, foarte utilizat este circuitul 74LS138 (fig.1), al cărui tabel de adevăr este prezentată în tabelul alăturat.

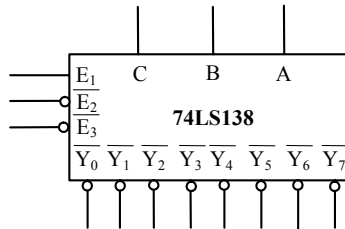


Figura 1

E_1	$\overline{E_2}$	$\overline{E_3}$	C	B	A	$\overline{Y_7}$	$\overline{Y_6}$	$\overline{Y_5}$	$\overline{Y_4}$	$\overline{Y_3}$	$\overline{Y_2}$	$\overline{Y_1}$	$\overline{Y_0}$	Observații
0	X	X	X	X	X	1	1	1	1	1	1	1	1	circuit invalidat
X	1	X	X	X	X	1	1	1	1	1	1	1	1	circuit invalidat
X	X	1	X	X	X	1	1	1	1	1	1	1	1	circuit invalidat
1	0	0	0	0	0	1	1	1	1	1	1	1	0	ieșirea 0 activă
1	0	0	0	0	1	1	1	1	1	1	1	0	1	ieșirea 1 activă
1	0	0	0	1	0	1	1	1	1	1	0	1	1	ieșirea 2 activă
1	0	0	0	1	1	1	1	1	1	0	1	1	1	ieșirea 3 activă
1	0	0	1	0	0	1	1	1	0	1	1	1	1	ieșirea 4 activă
1	0	0	1	0	1	1	1	0	1	1	1	1	1	ieșirea 5 activă
1	0	0	1	1	0	1	0	1	1	1	1	1	1	ieșirea 6 activă
1	0	0	1	1	1	0	1	1	1	1	1	1	1	ieșirea 7 activă

Circuitul are 3 intrări pentru cuvântul de cod (A, B, C) care realizează activarea ieșirii corespunzătoare:

$$\overline{Y}_i = 0 \iff i \Big|_Z = CBA \Big|_B = C \cdot 2^2 + B \cdot 2^1 + A \cdot 2^0 \Big|_Z$$

și 3 intrări pentru selecția circuitului (capsulei), active pe 1 logic E_1 , respectiv pe 0 logic \overline{E}_2 și \overline{E}_3 . Activarea circuitului se face numai atunci când toate intrările de selecție sunt active. Pentru sinteză cele 3 variabile pot fi înlocuite cu una singură: $E = E_1 \cdot \overline{E}_2 \cdot \overline{E}_3$.

2. Decodificator BCD - zecimal

În practică se întâlnesc frecvent cazuri când este necesară trecerea din cod BCD (Zecimal Codat Binar) în cod zecimal. Corespondența celor 2 coduri este prezentată mai jos, în tabelul de adevăr al circuitului.

D	C	B	A	\overline{Y}_9	\overline{Y}_8	\overline{Y}_7	\overline{Y}_6	\overline{Y}_5	\overline{Y}_4	\overline{Y}_3	\overline{Y}_2	\overline{Y}_1	\overline{Y}_0	Observații
0	0	0	0	1	1	1	1	1	1	1	1	1	0	ieșirea 0 activă
0	0	0	1	1	1	1	1	1	1	1	1	0	1	ieșirea 1 activă
0	0	1	0	1	1	1	1	1	1	1	0	1	1	ieșirea 2 activă
0	0	1	1	1	1	1	1	1	1	0	1	1	1	ieșirea 3 activă
0	1	0	0	1	1	1	1	1	0	1	1	1	1	ieșirea 4 activă
0	1	0	1	1	1	1	1	0	1	1	1	1	1	ieșirea 5 activă
0	1	1	0	1	1	1	0	1	1	1	1	1	1	ieșirea 6 activă
0	1	1	1	1	1	0	1	1	1	1	1	1	1	ieșirea 7 activă
1	0	0	0	1	0	1	1	1	1	1	1	1	1	ieșirea 8 activă
1	0	0	1	0	1	1	1	1	1	1	1	1	1	ieșirea 9 activă
1	0	1	0	1	1	1	1	1	1	1	1	1	1	ieșiri inactive
1	0	1	1	1	1	1	1	1	1	1	1	1	1	ieșiri inactive
1	1	0	0	1	1	1	1	1	1	1	1	1	1	ieșiri inactive
1	1	0	1	1	1	1	1	1	1	1	1	1	1	ieșiri inactive
1	1	1	0	1	1	1	1	1	1	1	1	1	1	ieșiri inactive
1	1	1	1	1	1	1	1	1	1	1	1	1	1	ieșiri inactive

Circuitul este construit pentru a funcționa cu cod BCD la intrare. În aceste condiții putem să considerăm ieșirile pentru combinațiile peste 1001 ca fiind indiferente și să obținem o variantă mai simplă de circuit. Tabelul de mai sus este complet definit, astfel că nici o ieșire nu se va activa pentru coduri peste 9.

3. Lucrări de efectuat în laborator

Se desfășoară lucrările prevăzute în fișa de laborator și se completează rezultatele.

FIȘĂ DE LABORATOR

1. Plecând de la tabelul de adevăr de la paragraful 1, pentru care considerăm $E = E_1 \cdot \overline{E_2} \cdot \overline{E_3}$, să se construiască tabelul de adevăr și digramele VK pentru decodicatorul de adresă de 3 biți și apoi să se sintetizeze circuitul.

E	C	B	A	Y ₀	Y ₁	Y ₂	Y ₃	Y ₄	Y ₅	Y ₆	Y ₇
0	0	0	0								
0	0	0	1								
0	0	1	0								
0	0	1	1								
0	1	0	0								
0	1	0	1								
0	1	1	0								
0	1	1	1								
1	0	0	0								
1	0	0	1								
1	0	1	0								
1	0	1	1								
1	1	0	0								
1	1	0	1								
1	1	1	0								
1	1	1	1								

EC	00	01	11	10
BA				
00				
01				
11				
10				

Y₀=

EC	00	01	11	10
BA				
00				
01				
11				
10				

Y₁=

EC	00	01	11	10
BA				
00				
01				
11				
10				

Y₂=

EC	00	01	11	10
BA				
00				
01				
11				
10				

Y₃=

EC	00	01	11	10
BA				
00				
01				
11				
10				

Y₄=

EC	00	01	11	10
BA				
00				
01				
11				
10				

Y₅=

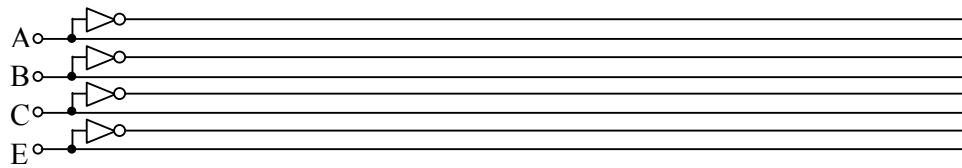
EC	00	01	11	10
BA				
00				
01				
11				
10				

$Y_6 =$

EC	00	01	11	10
BA				
00				
01				
11				
10				

$Y_7 =$

2. Să se sintetizeze decodificatorul de adresă folosind metoda Veitch-Karnaugh și să se verifice funcționarea acestuia în MaxPlusII.
 Schema cu porți logice:



Formele de undă:

