

CONVERTOARE ANALOG-NUMERICE – ADC

Autor: Conf.dr.ing. Constantin Harja

V.3. ADC CU REACȚIE

Aceste tipuri de ADC includ de regulă în structura lor un DAC, cu ajutorul căruia codul numeric de ieșire este convertit analogic și tensiunea rezultată este comparată cu tensiunea de intrare. Ca urmare, tensiunea de intrare nu mai este comparată cu 2^{n-1} tensiuni de referință, ci este comparată cu o tensiune proporțională cu codul numeric de ieșire.

V.3.1. ADC CU REACȚIE ȘI NUMĂRĂTOR

O soluție simplă de realizare a unui ADC cu reacție este reprezentată în Fig.V.4.

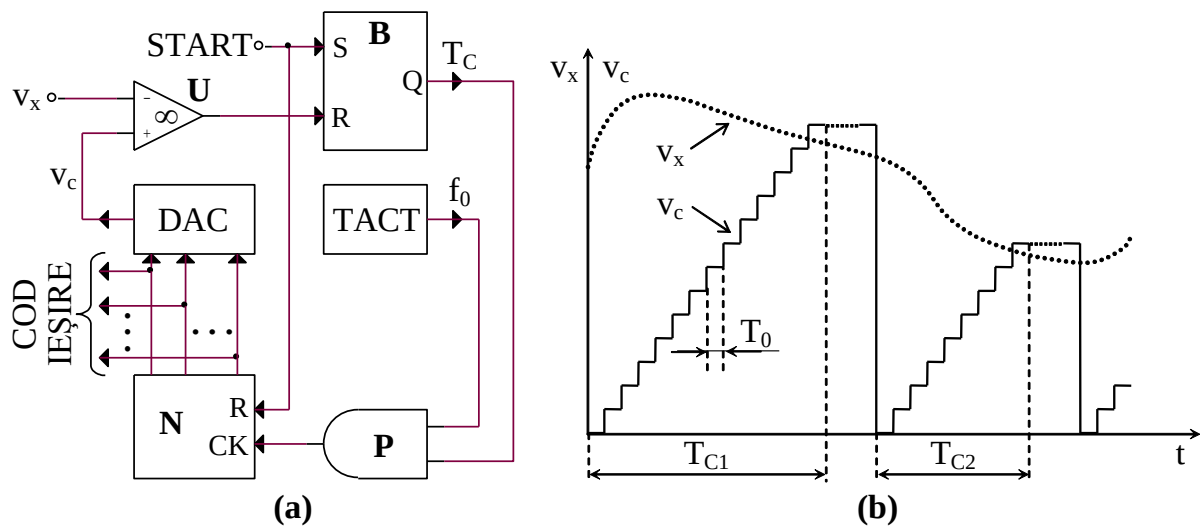


Fig.V.4. ADC cu reacție și numărător: (a) – schemă bloc; (b) – forme de undă.

Pentru inițializarea unei conversii se resetează numărătorul – N prin comanda RS și se setează bistabilul – B prin comanda $START$, fiind astfel permis accesul impulsurilor de tact prin poarta – P , spre numărător. Codul numeric de la ieșirea numărătorului este convertit analogic cu un DAC, iar tensiunea rezultată – v_c este comparată cu tensiunea de intrare – v_x . În momentul în care se atinge condiția $v_c \geq v_x$, comparatorul – U își schimbă starea resetând bistabilul – B , accesul impulsurilor de tact prin poarta – P este blocat și numărătorul rămâne în starea din acel moment, iar codul numeric de la ieșirea numărătorului reprezintă rezultatul conversiei A/D .

Semnalele analogice de la intrarea comparatorului sunt ilustrate grafic în Fig.V.4.b. Se observă că timpul de conversie, T_C depinde de valoarea tensiunii de intrare, v_x . Timpul maxim de conversie pentru n biți are valoarea $T_{Cmax} = 2^n T_0$, unde T_0 reprezintă perioada impulsurilor de tact, cu frecvența f_0 . Prin urmare, viteza de conversie este proporțională cu frecvența de tact. Deci pentru creșterea vitezei de conversie, se impune reducerea perioadei de tact, T_0 . Valoarea minimă T_0 este impusă de timpul total de propagare al semnalului pe buclă:

$$T_0 \geq t_{pP}^{\max} + t_{pN}^{\max} + t_{pDAC}^{\max} + t_{pU}^{\max} + t_{pB}^{\max} + t_{pP}^{\max}, \quad (V.8)$$

unde indicii cu majuscule desemnează circuitele electronice cu aceeași notație. Dacă, utilizând

circuite de mare viteză, timpul de conversie crește, poate apare necesitatea utilizării unor circuite de eșantionare-memorare și filtrare antialiasing (pct.IV.7.1). Însă, de regulă, ADC cu reacție și numărător este adecvat pentru conversia A/D a semnalelor continue sau lent variabile, cu frecvență maximă sub ordinul kiloherților.

O altă variantă a acestei scheme include un numărător reversibil, obținându-se astfel, un ADC cu urmărire, așa cum este exemplificat în schema din Fig.V.5.

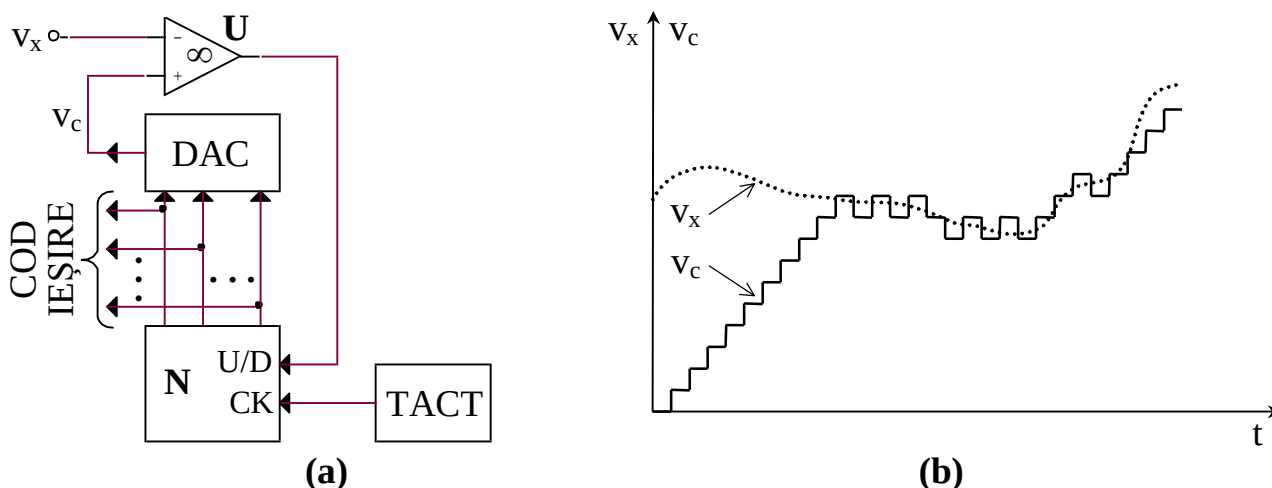


Fig.V.5. ADC cu urmărire: (a) – schemă bloc; (b) – forme de undă.

În schema din Fig.V.5 comparatorul schimbă sensul de numărare – *up/down*, al numărătorului, astfel ca semnalul de ieșire al DAC să urmărească semnalul de intrare.

Pentru ca acest tip de DAC să funcționeze corect, este necesară existența unei corelații între perioada impulsurilor de tact și viteza de variație a semnalului de intrare și anume: variația semnalului de intrare pe durata unei perioade de tact trebuie să nu depășească valoarea unei trepte de cuantificare, adică un *LSB*. În acest scop, pentru o frecvență de tact precizată, se pune problema stabilirii componentei de frecvență maximă care poate exista în spectrul semnalului de intrare. Așadar, dacă:

$$v = \frac{V_{\max}}{2} \sin \omega t, \quad \text{rezultă} \quad \left(\frac{dv}{dt} \right)_{\max} = \frac{V_{\max}}{2} \omega, \quad (\text{V.9})$$

deci condiția de mai sus poate fi exprimată matematic astfel:

$$\frac{V_{\max}}{2} \omega T_0 \leq \frac{V_{\max}}{2^n} \quad \text{sau} \quad f_{\max} \leq \frac{1}{2^n \pi} f_0, \quad (\text{V.10})$$

unde T_0 și f_0 reprezintă perioada și frecvența impulsurilor de tact, iar $f_{\max}$ – frecvența maximă din spectrul semnalului de intrare, care mai poate fi convertită A/D corect.

V.3.2. ADC CU APROXIMAȚII SUCCESIVE

Convertoarele ADC cu aproximații succesive, spre deosebire de cele cu numărător, au durata de conversie constantă și egală cu un număr de perioade ale tactului identic cu numărul de biți. Rezultă deci, că la un nivel comparabil al preciziei și complexității, viteza acestor convertoare va fi net superioară celor cu numărător.

Există o mare varietate de ADC cu aproximații succesive. Funcționarea acestora se bazează

pe faptul că într-un șir de termeni ponderați binar, fiecare din termeni este mai mare decât suma termenilor de rang inferior. Presupunând că:

$$v_x = V_r(a_1 2^{-1} + a_2 2^{-2} + \dots + a_i 2^{-i}) = V_r \sum_{i=0}^{i=n} a_i 2^{-i}, \quad (V.11)$$

și luând în considerare faptul că:

$$\sum_{i=r}^{i=n} 2^{-i} = 2^{-(r-1)} - 2^{-n} < 2^{-(r-1)}, \quad (V.12)$$

se poate compara v_x cu $2^{-1}V_r$. Dacă $v_x > 2^{-1}V_r$, rezultă $a_1 = 1$, în caz contrar $a_1 = 0$, deoarece $\sum_{i=2}^{i=n} 2^{-i} < 2^{-1}$. Astfel se stabilește valoarea bitului a_1 , deci a bitului *MSB*. Pentru stabilirea valorii

bitului a_2 , se compară v_x cu $a_1 2^{-1}V_r + 2^{-2}V_r = V_r(a_1 2^{-1} + 2^{-2})$. Dacă $v_x > a_1 2^{-1}V_r + 2^{-2}V_r$ sau $v_x - a_1 2^{-1}V_r > 2^{-2}V_r$, rezultă $a_2 = 1$, în caz contrar $a_2 = 0$.

În general, pentru stabilirea valorii unui bit oarecare i , dacă:

$$v_x > V_r \left(2^{-i} + \sum_{q=1}^{q=i-1} a_q 2^{-q} \right), \text{ rezultă } a_i = 1, \text{ în caz contrar } a_i = 0; \quad (V.13)$$

sau:

$$v_x - V_r \sum_{q=1}^{q=i-1} a_q 2^{-q} > 2^{-i}V_r, \text{ rezultă } a_i = 1, \text{ în caz contrar } a_i = 0, \quad (V.14)$$

Ca urmare, la fiecare pas oarecare i se testează acceptarea sau neacceptarea termenului $2^{-i}V_r$ în suma $V_r \sum_{q=1}^{q=i-1} a_q 2^{-q}$, necesară în pasul următor, acceptarea fiind echivalentă cu $a_i = 1$, iar neacceptarea fiind echivalentă cu $a_i = 0$.

O schemă de ADC cu aproximații succesive, cu largă utilizare, este reprezentată în Fig.V.6.

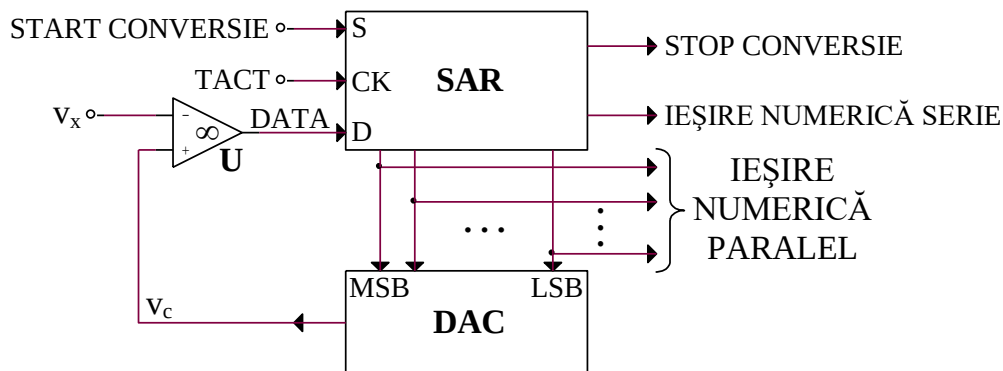


Fig.V.6. ADC cu aproximații succesive.

După cum se observă, ADC este constituit dintr-un comparator și un DAC, componente indispensabile schemelor cu reacție și dintr-un registru de aproximații succesive, SAR, care prezintă 3 intrări: date, tact și start și 3 ieșiri: sfârșit conversie, ieșire numerică serie și ieșire numerică paralel. Funcția SAR poate fi implementată prin *hardware* sau poate fi simulată prin *software*.

După primirea comenzii de *START*, SAR generează codul 100...0, adică compară v_x cu $2^{-1}V_r$, iar funcție de rezultatul comparației bitul a_1 este păstrat cu valoarea 1 sau 0, prin memorarea în SAR a stării logice a comparatorului. Apoi, SAR generează codul $a_1 10...0$, pentru stabilirea valorii

bitului a_2 și procesul continuă până la bitul *LSB*, după care se emite semnalul *STOP CONVERSIE* și schema intră în regim de *standby*, în așteptarea unei noi comenzi de *START*. Pentru exemplificare, în Fig.V.7 se prezintă organigrama aproximațiilor succesive, pentru un ADC de trei biți.

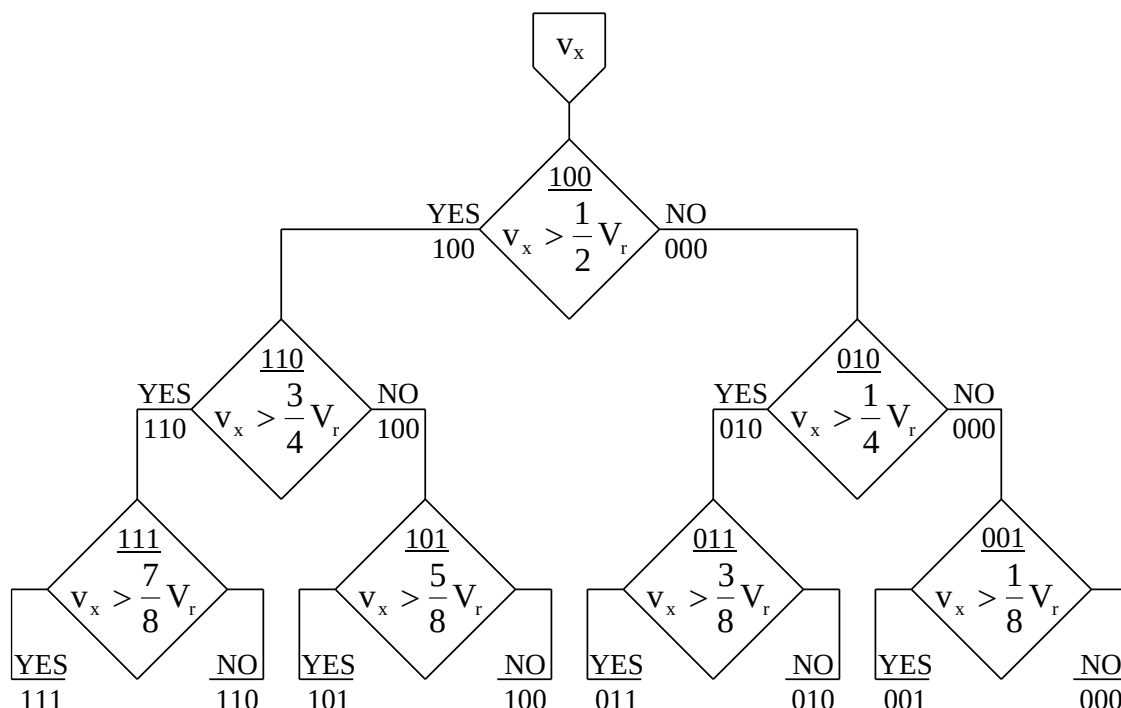


Fig.V.7. Organigrama comparațiilor succesive pentru un ADC de 3 biți.

Există și o mare varietate de scheme de ADC cu aproximații succesive care nu intră în categoria ADC cu reacție. Aceste funcționează pe baza (V.14), cu deosebirea că tensiunea necesară pentru comparațiile succesive nu este generată de un DAC, ci este obținută cu ajutorul unor rețele rezistive ponderate binar. Deci vor de dezavantajele binecunoscute ale rețelelor ponderate binar.

Ca urmare, din categoria ADC cu aproximații succesive, cel mai utilizat rămâne ADC cu reacție și DAC, conform Fig.V.6. El este utilizat atât în aplicațiile de viteză, fiind un circuit de viteză relativ mare, cât și în aplicațiile care necesită rezoluție mare (14-16 biți), având un *factor de merit* (viteză × rezoluție) dintre cele mai ridicate.